

ELECTRICAL DEVICES AND A METHOD OF MANUFACTURING THE SAME**Patent number:** JP2001516955 (T)**Publication date:** 2001-10-02**Inventor(s):****Applicant(s):****Classification:**

- international: H01L29/93; H01L29/94; H03B5/12; H03K3/354; H01L; H01L29/66; H03B5/08; H03K3/00; (IPC1-7): H01L29/94; H03B5/12

- european: H01L29/94; H03B5/12C1; H03K3/354

Application number: JP20000511198T 19980901**Priority number(s):** WO1998SE01554 19980901; SE19970003295 19970911**Also published as:**

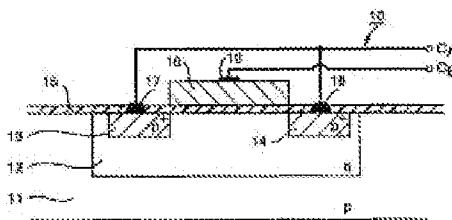
-  WO9913514 (A2)
-  WO9913514 (A3)
-  US6100770 (A)
-  TR200000511 (T2)
-  SE9703295 (L)

[more >>](#)

Abstract not available for JP 2001516955 (T)

Abstract of correspondent: **WO 9913514 (A2)**

An electrical device (10) having a voltage dependent capacitance is provided comprising a first region (12) of a semiconductor material, and a second region (13) and a third region (14) of a semiconductor material formed in the first region, the second and third regions being separated by a separation region, and an electrically insulating layer (15) formed on the first region at least at a region corresponding to the separation region, and a substantially conductive element (16) formed on the insulating layer at least at a region corresponding to the separation region such that the insulating layer electrically insulates the substantially conductive element from the first, second and third regions, and a first electrode (17) connected to the substantially conductive element, and a second electrode (18) connected to the second and third regions.; A method of manufacturing the device is also disclosed.

Data supplied from the **espacenet** database — Worldwide

(51)Int.Cl.⁷
H 01 L 29/94
H 03 B 5/12

識別記号

F I
H 01 L 29/94
H 03 B 5/12テ-7.1-ト⁷ (参考)
Z 5 J 0 8 1
A

審査請求 未請求 予備審査請求 有 (全 37 頁)

(21)出願番号 特願2000-511198(P2000-511198)
 (86) (22)出願日 平成10年9月1日(1998.9.1)
 (85)翻訳文提出日 平成12年2月8日(2000.2.8)
 (86)国際出願番号 PCT/SE98/01554
 (87)国際公開番号 WO99/13514
 (87)国際公開日 平成11年3月18日(1999.3.18)
 (31)優先権主張番号 9703295-7
 (32)優先日 平成9年9月11日(1997.9.11)
 (33)優先権主張国 スウェーデン(SE)

(71)出願人 テレフォンアクチーボラゲット エル エム エリクソン
スウェーデン国エス-126 25 ストック
ホルム(番地なし)
 (72)発明者 リトウイン、アンドレユ
スウェーデン国 ダンデリド、エドスピク
スペーゲン 89
 (72)発明者 マチソン、スベン、エリック
スウェーデン国 ブヤレッド、マヨルスペ
ーゲン 1
 (74)代理人 弁理士 浅村 哲(外3名)

最終頁に続く

(54)【発明の名称】 電気デバイスおよびその製造方法

(57)【要約】

電圧依存キャパシタンスを有する電気デバイス(10)が提供され、その電気デバイス(10)は、第1領域(12)の半導体材料と、該第1領域内に形成された第2領域(13)および第3領域(14)の半導体材料であって、該第2領域および第3領域が分離領域により分離されている前記第2領域および第3領域の半導体材料と、前記第1領域の少なくとも前記分離領域に対応する領域上に形成された電気絶縁層(15)と、該絶縁層の少なくとも前記分離領域に対応する領域上に形成された実質的導電素子(16)であって、前記絶縁層が、前記実質的導電素子を、前記第1、第2、および第3領域から電気的に絶縁する、前記実質的導電素子と、前記実質的導電素子に接続された第1電極(17)と、前記第2および第3領域に接続された第2電極(18)と、を含む。前記デバイスの製造方法もまた開示される。

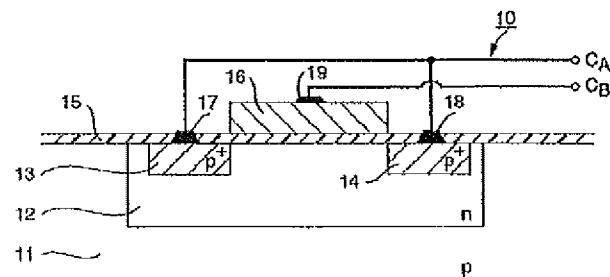


Fig. 1

【特許請求の範囲】

【請求項 1】 電圧依存キャパシタンスを有する電気デバイス (10 ; 20 ; 30 ; 40 ; $V_1 - V_n$; 70 ; 80) において、

第1領域 (12 ; 22 ; 32 ; 72 ; 82) の半導体材料と、

前記第1領域内に形成された第2領域 (13 ; 23 ; 33 ; 73 ; 83 ; 91) および第3領域 (14 ; 24 ; 34 ; 74 ; 84 ; 91) の半導体材料であって、前記第2領域および第3領域が分離領域により分離されている、前記第2領域および第3領域の半導体材料と、

前記第1領域の少なくとも前記分離領域に対応する領域上に形成された電気絶縁層 (15 ; 25 ; 35) と、

前記絶縁層の少なくとも前記分離領域に対応する領域上に形成された実質的導電素子 (16 ; 26 ; 36 ; 76 ; 86) であって、前記絶縁層が、前記実質的導電素子を、前記第1、第2、および第3領域から電気的に絶縁する、前記実質的導電素子と、

前記実質的導電素子に接続された第1電極 (17 ; 27 ; 37) と、および

前記第2領域および第3領域に接続された第2電極 (18 ; 28 ; 38) と、

を含む前記電気デバイス。

【請求項 2】 前記第2領域と、前記第3領域と、前記実質的導電素子とが、MISトランジスタのドレインと、ソースと、ゲートと、をそれぞれ構成する、請求項1に記載の電気デバイス。

【請求項 3】 前記ゲートの長さが $2 \mu m$ より小さい、請求項2に記載の電気デバイス。

【請求項 4】 前記ゲートの長さが約 $1 \mu m$ である、請求項3に記載の電気デバイス。

【請求項 5】 前記実質的導電素子がポリシリコンを含む、請求項1または請求項2に記載の電気デバイス。

【請求項 6】 前記実質的導電素子が金属シリサイドを含む、請求項1または請求項2または請求項5に記載の電子デバイス。

【請求項 7】 前記ゲートの幅が $5 \mu m$ より小さい、請求項2に従属する限

りにおいて請求項 2 から請求項 5 までのいずれかに記載の電気デバイス。

【請求項 8】 前記ゲートの幅が $20 \mu m$ より小さい、請求項 2 に従属する限りにおいて請求項 2 から請求項 6 までのいずれかに記載の電気デバイス。

【請求項 9】 前記第 1 領域 (12 ; 22 ; 32 ; 72 ; 82) の半導体材料が、半導体基板 (11 ; 21 ; 31 ; 71 ; 81) 内のウェル領域を構成し、第 3 電極が前記基板に接続されている、請求項 1 から請求項 8 までのいずれかに記載の電気デバイス。

【請求項 10】 前記第 3 電極が前記第 1 電極または第 2 電極に接続されている、請求項 9 に記載の電子デバイス。

【請求項 11】 ドレインがソースに接続されている MOS トランジスタを含む、電圧依存キャパシタンスを有する電気デバイス (10 ; 20 ; 30 ; 70 ; 80)。

【請求項 12】 前記 MOS トランジスタのバルクへの接続をさらに含む、請求項 11 に記載の電子デバイス。

【請求項 13】 前記バルクが、ゲートに、または前記ドレインおよびソースに接続されている、請求項 12 に記載の電子デバイス。

【請求項 14】 並列に結合された複数の、請求項 1 から請求項 13 までのいずれかに記載の電気デバイスを含む、電圧依存キャパシタンスを有する電気デバイス (70 ; 80)。

【請求項 15】 入力電圧 (V_{freq}) の印加のための入力端子と、前記入力電圧に依存する周波数を有する振動信号 (I_{out}) の出力のための出力端子と、を有する電圧制御発振器 (VCO) (60) であって、該 VCO が、請求項 1 から請求項 14 までのいずれかに記載の、電圧依存キャパシタンスを有する電気デバイス ($V_1 - V_n$) を含む前記電圧制御発振器。

【請求項 16】 入力電圧 (V_{freq}) の印加のための入力端子と、前記入力電圧に依存する周波数を有する振動信号 (I_{out}) の出力のための出力端子と、を有する電圧制御発振器 (VCO) (60) であって、該 VCO が、ドレインをソースへ接続された MIS トランジスタを含む少なくとも 1 つのバラクタ ($V_1 - V_n$) を含む前記電圧制御発振器。

【請求項17】 前記VCOが、第1バラクタに結合した第1MISトランジスタおよび第1インダクタと、第2バラクタに結合した第2MISトランジスタおよび第1インダクタと、を含み、前記第1トランジスタのドレインが前記第2トランジスタのゲートに結合し、前記第2トランジスタのドレインが前記第1トランジスタのゲートに結合している、請求項16に記載の電圧制御発振器。

【請求項18】 前記第1バラクタが第1グループのMISトランジスタを含み、該第1グループのMISトランジスタのドレインおよびソースが共通に接続され、かつ、前記第2バラクタが第2グループのMISトランジスタを含み、該第2グループのMISトランジスタのドレインおよびソースが共通に接続されている、請求項17に記載の電圧制御発振器。

【請求項19】 前記第1グループのトランジスタのトランジスタゲートが共通に接続され、かつ、前記第2グループのトランジスタのトランジスタゲートが共通に接続されている、請求項18に記載の電圧制御発振器。

【請求項20】 前記少なくとも1つのバラクタの前記MISトランジスタのドレインおよびソースが、前記VCOへの入力電圧の印加のための前記入力端子に結合している、請求項16から請求項19までのいずれかに記載の電圧制御発振器。

【請求項21】 前記第1グループのトランジスタのゲートが、前記第1MISトランジスタのドレインに結合し、かつ、前記第2グループのトランジスタのゲートが、前記第2MISトランジスタのドレインに結合している、請求項19に従属する限りにおいて請求項19または請求項20のいずれかに記載の電圧制御発振器。

【請求項22】 前記MISトランジスタがMOSトランジスタである、請求項16から請求項21までのいずれかに記載の電圧制御発振器。

【請求項23】 請求項1から請求項14までのいずれかに記載のバラクタを含む位相同期ループ回路。

【請求項24】 請求項15から請求項22までのいずれかに記載の電圧制御発振器を含む位相同期ループ回路。

【請求項25】 請求項15から請求項22までのいずれかに記載の電圧制

御発振器を含む無線通信装置。

【請求項26】 請求項23から請求項24までのいずれかに記載の位相同期ループ回路を含む無線通信装置。

【請求項27】 電圧依存キャパシタンスを有する電気デバイスの製造方法であつて、

第1半導体領域を形成するステップと、

前記第1領域内に第2領域および第3領域の半導体材料を形成するステップであつて、前記第2領域および第3領域が分離領域により分離されている、前記ステップと、

前記第1領域の少なくとも前記分離領域に対応する領域上に電気絶縁層を形成するステップと、

前記絶縁層の少なくとも前記分離領域に対応する領域上に実質的導電素子を形成するステップであつて、前記絶縁層が、前記実質的導電素子を、前記第1、第2、および第3領域から電気的に絶縁するようにする前記ステップと、

前記実質的導電素子に電気的に接続された第1電極を形成するステップと、

前記第2領域および第3領域に電気的に接続された第2電極を形成するステップと、

を含む前記電気デバイスの製造方法。

【請求項28】 少なくとも前記分離領域に対応する領域において、IC製造プロセスの、後のMISトランジスタのスレショルドインプランテーションステップを阻止するための、阻止層を形成するステップ、
をさらに含む、請求項27に記載の電気デバイスの製造方法。

【請求項29】 前記IC製造プロセスがCMOSプロセスである、請求項28に記載の電気デバイスの製造方法。

【発明の詳細な説明】

【0001】

(発明の技術分野)

本発明は、バラクタに関し、特に集積に適するバラクタに関する。この種のバラクタは、例えば電圧制御発振器および位相同期ループ回路において見出され、これらの電圧制御発振器および位相同期ループ回路は、無線通信装置においてしばしば用いられる。

【0002】

(関連技術の説明)

バラクタは、適切な電圧または電流バイアスにより制御されるキャパシタンスを有する電気デバイスである。バラクタは、例えば電圧制御発振器、すなわちVCOにおいて用いられ、その場合発振器の周波数は印加される電圧または電流バイアスにより制御される。VCOは、例えば可変周波数が必要な時、または信号が基準信号に対して同期せしめられる必要がある時に用いられる。無線通信装置、例えば携帯／セルラ電話機においては、VCOは、位相同期ループ回路、すなわちPLL回路において、適切な信号を発生するためにしばしば使用される。無線受信機により受信される信号に同期せしめられた基準信号の発生、変調／復調動作、および周波数合成は、そのような使用の例である。集積回路、すなわちIC、の技術に適しているいくつかのバラクタは、従来技術において公知である。

R. A. モリン (R. A. Molin) およびG. F. フォックスホール (G. F. Foxhall) は、1972年、IEEE会報電子デバイス (IEEE Trans. Electron Devices)、ED-19、第267f頁に所載の「イオン注入超階段接合電圧可変キャパシタ (Ion-Implanted Hyperabrupt Junction Voltage Variable Capacitor)」において、バイポーラ、CMOS、またはバイCMOS技術において用いられるバラクタとしての、pnダイオードの使用を論じている。バラクタとして、ショットキーダイオードまたはMOSダイオードを用いることも公知である。後者は、例えば、「半導体デバイスの物理学 (Physics of Semiconductor Devices)」、ジ

ヨン・ウィリ・アンド・サンズ (John Wiley & Sons) 発行、第2版、においてS. M. スゼ (S. M. Sze) により論じられている。公知のバラクタの集積は、IC技術の能力に依存する。バイCMOSプロセスにおける、高周波アプリケーションすなわちRFアプリケーション用の、集積デバイスの概論は、1996年9月の、IEEE会報電子デバイス (IEEE Trans. Electron Device)、第43巻、第1559ないし1570頁に所載の「バイCMOS技術における集積RFおよびマイクロ波部品 (Integrated RF and Microwave Components in BiCMOS Technology)」に、J. N. バーグハーツ (J. N. Burghartz)、M. ソュア (M. Soyuur)、およびK. ジェンキンス (K. Jenkins) により与えられている。第1568頁および図12に述べられているように、バラクタは標準的なバイCMOSデバイスセットの一部ではない。その代わりとして、バイポーラトランジスタのコレクターベース接合を、バラクタとして用いることが提案されている。J. クラニンスク (J. Craninckx) およびM. S. J. ステヤート (M. S. J. Steyaert) は、1997年5月の、IEEEジャーナル固体回路 (IEEE J. Solid-State Circuits)、第32巻、第736ないし744頁に所載の「最適化された中空スパイラルインダクタを用いた1.8 GHz低位相雑音CMOS VCO (A 1.8-GHz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors)」において、CMOSプロセスにより集積される、VCOにおけるバラクタとしての、p+／n-ウェル接合ダイオードの使用を示唆している。

【0003】

上述の公知の形式のバラクタは、極めて適切に動作するが、それらはいくつかの欠点を有する。

公知のバラクタの1つの欠点は、それらの高い直列抵抗または必要な追加の製造ステップのために、それらが殊に通常のCMOSプロセスにおいては、高周波アプリケーションのために、高い共振回路のキューQを実現しにくいことである

。このために、歩留りは低くなり製造コストは高くなる。

【0004】

公知のp-n接合バラクタのもう1つの欠点は、たいていのVCO回路において用いられる時のような多くのアプリケーションにおいて、設計にDC減結合キャパシタを追加する必要があり、これが設計をIC内へ集積することを、より困難にすることである。ICの外部へのDC減結合キャパシタの使用は、具体化の全般的コストを増大させると共に、プリント回路板、すなわちPCB、の上の貴重なスペースを浪費する。これらの欠点は、小さいことが必要で、かつ大量に生産される携帯電話機のようなハンドヘルド装置において一層顕著となる。

本発明の目的は、上述の諸問題を克服または軽減するバラクタを提供することである。

【0005】

(発明の要約)

上述の諸問題は、電圧依存キャパシタンスを有する電気デバイスを提供することにより克服または軽減され、その電気デバイスは、第1領域の半導体材料と、該第1領域内に形成された第2領域および第3領域の半導体材料であって、該第2領域および第3領域が分離領域により分離されている前記第2領域および第3領域の半導体材料と、前記第1領域の少なくとも前記分離領域に対応する領域上に形成された電気絶縁層と、該絶縁層の少なくとも前記分離領域に対応する領域上に形成された実質的導電素子であって、前記絶縁層が、前記実質的導電素子を、前記第1、第2、および第3領域から電気的に絶縁する、前記実質的導電素子と、前記実質的導電素子に接続された第1電極と、前記第2および第3領域に接続された第2電極と、を含む。

【0006】

本発明の実施例においては、電気デバイスの第1電極としてMOSトランジスタのゲートを用いることにより、また、ドレインおよびソースを共通に接続して第2電極を形成することにより、電圧依存キャパシタンスを有する前記電気デバイスが提供される。

【0007】

従来技術の諸問題は、従来のCMOSプロセスの使用により実現されうる電圧依存キャパシタンスを有する電気デバイスを提供することにより克服される。さらに、絶縁層(MOSトランジスタの場合には、酸化物層)が、第1電極(MOSトランジスタの場合には、ゲート)に接続された実質的導電素子を、第2電極(MOSトランジスタの場合には、ドレイン/ソース)に接続された第2および第3領域から分離するので、前記デバイスは、例えばVCO回路において、DC減結合キャパシタを必要とすることなく用いられる。

【0008】

本発明はまた、上述のバラクタを利用した、VCO、PLL、および無線通信装置を提供する。さらに、本発明によるバラクタの製造方法が提供される。

本発明の利点は、製造ステップを追加することなく、従来のCMOSプロセスを用いることにより、高周波アプリケーションにおいてさえ、高い共振回路のキューQを有する、すなわち、低い直列抵抗を有するバラクタが実現されうることである。従って、バラクタは、高歩留りおよび低コストで製造されうる。

【0009】

さらに、本発明の利点は、従来のCMOSプロセスを用いて実現することができ、かつ設計にDC減結合キャパシタを必要としない、VCOが提供されることである。これにより、PCB上におけるIC上にもICの外部にも、DC減結合キャパシタの必要がなくなるので、VCOは、経済的に、かつ物理的に小形に、具体化されうる。これらの利点は、小形であることが必要で、かつ大量生産される、携帯電話機のようなハンドヘルド装置内に実現される時は、さらに顕著なものとなる。

【0010】

本発明は、従来のCMOSプロセスを用いることにより、上述のようなバラクタを含む集積電圧制御発振器および/または位相同期ループ回路すなわちPLL回路を有利に提供する。無線通信装置の多くの機能は、従来のCMOSプロセスにより集積されうるので、これらの機能といっしょに、VCOおよび/またはPLL回路を集積することにより、本発明は、高度の集積、従って小さい物理的寸法、を有する無線通信デバイスを提供しうる。高度の集積はまた、製造コストを

も低下させる。

【0011】

(実施例の詳細な説明)

以下、例としてのみの意味を有する、本発明の実施例を説明する。図に示されている細部は、一定の比率に縮小して描かれたものではない。反対に、図示の細部の寸法は、本発明がより良く理解されるように選択されたものである。

【0012】

本発明は、電圧依存キャパシタンスを有する電気デバイスを提供する。そのようなデバイスは、バラクタとも呼ばれる。本発明のバラクタは、従来のCMOSプロセスにより容易に集積されうることを認識すべきである。

【0013】

図1は、PMOSエンハンスマントトランジスタを含む、本発明の第1実施例によるバラクタ10を示す。このトランジスタは、p形シリコン基板11内に形成されている。このp形シリコン基板11内には、基板の第1主表面からn形ウェル12が形成され、 p^+ 形ソース領域13および p^+ 形ドレイン領域14が、n形ウェル12内に形成されている。ソースおよびドレイン領域13、14の不純物濃度は、ウェル領域12の不純物濃度よりも大きいように選択される。その後、好ましくは酸化シリコンの絶縁層15が、基板の第1主表面上に形成され、ポリシリコンゲート16が絶縁層15上に、ゲート16がnウェル領域12から電気的に絶縁されるように、ソース領域13と、ドレイン領域14と、を分離するnウェル領域12の一部を少なくとも被覆して形成される。バラクタ10の共通電極CAは、ソース領域13をドレイン領域14へ接続することにより形成される。接続は、ソース電極17およびドレイン電極18を用い、ソース領域13およびドレイン領域14のそれぞれに対し行われる。バラクタ10の第2電極CBは、ゲート電極19を用い、ゲート16に接続される。

【0014】

図2は、NMOSエンハンスマントトランジスタを含む、本発明の第2実施例によるバラクタ20を示す。このトランジスタは、p形シリコン基板21内に形成されている。このp形シリコン基板21内には、基板の第1主表面からp形ウ

エル22が形成され、 n^+ 形ソース領域23および n^+ 形ドレイン領域24が、p形ウェル22内に形成されている。ソースおよびドレイン領域23、24の不純物濃度は、ウェル領域22の不純物濃度よりも大きいように選択される。その後、好ましくは酸化シリコンの絶縁層25が、基板の第1主表面上に形成され、ポリシリコンゲート26が絶縁層25上に、ゲート26がpウェル領域22から電気的に絶縁されるように、ソース領域23と、ドレイン領域24と、を分離するpウェル領域22の一部を少なくとも被覆して形成される。バラクタ20の共通電極 C_A は、ソース領域23をドレイン領域24へ接続することにより形成される。接続は、ソース電極27およびドレイン電極28を用い、ソース領域23およびドレイン領域24のそれぞれに対し行われる。バラクタ20の第2電極 C_B は、ゲート電極29を用い、ゲート26に接続される。

【0015】

図3は、NMOSデプレショントランジスタを含む、本発明の第3実施例によるバラクタ30を示す。このトランジスタは、p形シリコン基板31内に形成されている。このp形シリコン基板31内には、基板の第1主表面からn形ウェル32が形成され、 n^+ 形ソース領域33および n^+ 形ドレイン領域34が、p形ウェル32内に形成されている。ソースおよびドレイン領域33、34の不純物濃度は、ウェル領域32の不純物濃度よりも大きいように選択される。その後、好ましくは酸化シリコンの絶縁層35が、基板の第1主表面上に形成され、ポリシリコンゲート36が絶縁層35上に、ゲート26がnウェル領域32から電気的に絶縁されるように、ソース領域33と、ドレイン領域34と、を分離するnウェル領域32の一部を少なくとも被覆して形成される。バラクタ30の共通電極 C_A は、ソース領域33をドレイン領域34へ接続することにより形成される。接続は、ソース電極37およびドレイン電極38を用い、ソース領域33およびドレイン領域34のそれぞれに対し行われる。バラクタ30の第2電極 C_B は、ゲート電極39を用い、ゲート36に接続される。

【0016】

さらに一般的には、バラクタは、内部に第2領域13、23、33および第3領域14、24、34の半導体材料が形成された、第1領域12、22、32の

半導体材料を有するものとして定義されうる。第2領域と第3領域とは、分離領域により分離されている。電気絶縁層15、25、35は、第1領域12、22、32上の、少なくとも分離領域に対応する領域に形成される。その後、実質的導電素子16、26、36が、絶縁層15、25、35上の少なくとも分離領域に対応する領域に、絶縁層15、25、35が実質的導電素子16、26、36を第1、第2、および第3領域から電気的に絶縁するように形成される。実質的導電素子16、26、36は電極C_Bに接続され、第2領域および第3領域は共通電極C_Aに接続される。

【0017】

本発明は、シリコンの半導体材料を用いるように制限されるものではないことに注意すべきである。他の半導体材料、例えばGaNも代わりに用いられうる。さらに、絶縁層15、25、35を形成するためには、酸化シリコン以外の材料、例えば、窒化シリコン、または酸化シリコンと窒化シリコンとの組合せ、も用いられうる。それらの場合には、金属酸化膜半導体トランジスタ、すなわちMOSトランジスタと呼ぶよりも、金属絶縁膜半導体トランジスタ、すなわちMISトランジスタ、と呼ぶ方が、より適切である。

【0018】

上述の実施例には、ソース電極17、27、37、ドレイン電極18、28、38、およびゲート電極19、29、39が含まれているが、本発明は、そのような電極を用いるように制限されるものではないことを理解すべきである。その代わりとして、ソース領域、ドレイン領域、およびゲートは、他の手段により接続されうる。例えば、ゲートへの適切な接続を実現するためには、ポリシリコンを用いることができ、ソース領域13、23、33およびドレイン領域14、24、34を接続するためには、ウェル領域12、22、32内、または基板11、21、31内のイオン注入領域を用いることができる。1つの同じバラクタに対し、接続の異なる方法の組合せを用いることもできる。

【0019】

図4は、本発明の第1実施例の動作の特徴を示す。バラクタ40は、図1のバラクタ10に対応し、図5は、バラクタ40の等価回路図を示す。動作に際して

は、電極 C_A および C_B の間に電圧が、 C_A における電位が C_B における電位よりも高くなるように印加される。その時、ウェル領域12の表面領域は空乏化され、その空乏化幅は、図4に空乏化境界41により示されている。バラクタのキャパシタンスは、なかんずく、酸化物キャパシタンス C_{OX} 、またはもし絶縁層が酸化物から作られていなければ対応するキャパシタンス、と半導体空乏層キャパシタンス C_D との直列結合に依存する。空乏層キャパシタンス C_D は、ひいては、ウェルの電位と、デバイスに印加される電圧、すなわちソース／ドレインとゲートとの間の電圧と、に依存する。バラクタの高いダイナミックレンジは、例えば、CMOSプロセスのスレショルドインプランテーション(threshold implantation)を阻止することにより、主表面領域をできるだけ軽度にドーピングすることによって実現される。バラクタの高いQ係数も、ゲートの電気抵抗 R_{gate} （およびその接続）と、ソース領域13とドレイン領域14との間のウェル領域12の電気抵抗 $R_{channel}$ と、をできるだけ小さく保つことにより実現される。ポリシリコンゲートの電気抵抗は、ゲートをシリサイド化するステップを含めることにより減少させうる。ウェル領域12において少数電荷キャリア42が受ける電気抵抗は、小さい寸法のゲートおよびチャネル領域を用いることにより減少させうる。しかし、小さい寸法のゲートおよびチャネル領域は、時には、受入れ難い小さい数値のキャパシタンスを有するバラクタを与える。この問題は、適切な数のバラクタを並列に接続し、複合バラクタを形成することにより解決される。バラクタ間の接続は、好ましくは、デバイス間の抵抗を低く保ち、それにより複合バラクタの全体的な高Q係数を実現するために、アルミニウムのような低抵抗材料を用いて行う。

【0020】

上述のように、空乏層キャパシタンス C_D はウェルの電位にも依存し、従って、デバイスもまた、固定電位を電極 C_A および C_B へ印加し、かつウェルへ印加される適切な電圧によりデバイスのキャパシタンスを制御することによって、動作せしめられうる。あるいは、固定電位を電極 C_A または C_B の一方へ印加し、他方の電極をウェルに接続し、デバイスを、ウェルへ印加する適切な電圧により制御する。

【0021】

上述の第1実施例の動作の特徴は、本技術分野において公知の原理により、印加される極性に適切な改変を行った後は、第2および第3実施例に対しても同様に当てはまる。

【0022】

上述の第1、第2、および第3実施例は、全てp形半導体基板を用いているが、もし極性および導電形が、本技術分野において公知の原理により改変されれば、n形半導体基板もまた同様に用いられる。

【0023】

従来の0.25μmまたは0.35μm CMOSプロセスにおいては、実質的にソース領域とドレイン領域との間の距離に相当するゲート長L_gは、好ましくは2μmより小さく、また最も好ましくは1μmより小さく選択される。ゲート幅W_gは、好ましくは20μmより小さく、例えば、15μm、10μm、または5μmに選択される。金属シリサイド化ポリシリコンのような低抵抗ゲート材料が用いられる場合には、ゲート幅は、6μmより小さく選択されうる。

【0024】

図6は、本発明の第4実施例による電圧制御発振器60の回路図を示す。第1、第2、および第3 NMOSエンハンスマントトランジスタT₁、T₂、およびT₃のそれぞれのバルクおよびソースは、接地電位へ接続されている。第1トランジスタT₁のゲートは、第2トランジスタT₂のドレインと、第3トランジスタT₃のゲートと、に接続されている。第2トランジスタT₂のゲートは、第1トランジスタT₁のドレインと、第1インダクタL₁の第1電極と、に接続されている。第1インダクタL₁の第2電極は、第1抵抗R₁の第1電極に接続されている。第2トランジスタT₂のドレインは、第2インダクタL₂の第1電極に接続されている。第2インダクタの第2電極は、第2抵抗R₂に接続されている。第1抵抗R₁の第2電極は、第2抵抗R₂の第2電極と、第3抵抗R_{ext}の第1電極と、第1キャパシタC_{ext}の第1電極と、に接続されている。第3抵抗R_{ext}の第2電極は電源電圧+V_{cc}へ接続され、第1キャパシタC_{ext}の第2電極は接地電位へ接続されている。この回路は、さらに少なくとも2つのバラクタV_IないしV_nを含み、

n はバラクタの数である。第1複合バラクタは、所定数のバラクタ V_1 ないし V_n を並列に結合することにより形成され、第2複合バラクタは、残りのバラクタを並列に接続することにより形成される。電圧制御発振器の周波数を制御する電圧 V_{freq} を受けるための入力接続は、第1および第2複合バラクタのそれぞれの第1電極へ接続される。第1複合バラクタの第2電極は、第1トランジスタ T_1 のドレインに接続され、第2複合バラクタの第2電極は、第2トランジスタ T_2 のドレインに接続される。この実施例においては、バラクタ V_1 ないし V_n は、NMOSデプレショントランジスタから作られている。複合バラクタの第1電極は、NMOSデプレショントランジスタの、バルクと、全てのソース領域およびドレイン領域と、の間の共通接続により構成される。第1複合バラクタの第2電極は、第1複合バラクタのNMOSデプレショントランジスタのゲート間の共通接続により構成され、第2複合バラクタの第2電極は、第2複合バラクタのNMOSデプレショントランジスタのゲート間の共通接続により構成される。NMOSデプレショントランジスタのゲートは、好ましくはVCO回路に接続され、電圧 V_{freq} を受けるための入力接続には接続されない。そのわけは、前記ゲートは低い寄生キャパシタンスを有するからである。このVCOの出力信号 I_{out} は、第3トランジスタ T_3 のドレインに得られる。オプションとして、第3抵抗 R_{ext} および第1キャパシタ C_{ext} は、チップ上に集積されない。さらに、第1および第2インダクタ L_1 、 L_2 は、ICのボンディングワイヤのインダクタンスを用いて実現しうる。複合バラクタ V_1 ないし V_n を作っているMOSトランジスタのバルクは、該バルクが、これらのトランジスタの他の領域と、順方向へバイアスされたダイオードを形成しない限り、 V_{freq} と異なる電位、例えばゼロ電位、へ接続されうることに注意すべきである。そのようなものとしてのVCO回路の動作は、本技術分野において公知である。

【0025】

与えられたインダクタを有する与えられたVCO回路における最良のパフォーマンスは、(複合)バラクタのQ係数およびダイナミックレンジ(最小および最大のキャパシタンス値)により決定される。本発明の第4実施例によれば、NMOSトランジスタが用いられる。これらのトランジスタは、最低の寄生抵抗、従

って、最高のQ係数を与える。スレショルド電圧は、所定の（電圧）バイアス範囲内において可能な、（複合）バラクタの最大のダイナミックレンジを与えるように選択される。

【0026】

本発明のバラクタが、従来のCMOSプロセスにより、他のデバイスと共に集積される場合は、例えば、バラクタを、少なくとも1つのウェル領域内に形成することにより、ソース領域およびドレイン領域を、基板から絶縁する必要がある。バラクタの高いダイナミックレンジは、例えば、CMOSプロセスのスレショルドインプランテーションを阻止することにより、ウェル領域を主表面領域においてできるだけ軽度にドーピングすることによって実現されるが、これは必ずしも必要ではなく、その場合には、従来のMOSトランジスタが用いられる。本発明のバラクタの集積は、基板の導電形と反対の導電形を有する1つのみのウェル領域が使用可能である、古いCMOSプロセスによっても行われうることに注意すべきである。

【0027】

本発明は、従来のCMOSプロセスを用いることにより、上述のバラクタを含む集積電圧制御発振器および／または位相同期ループ回路すなわちPLL回路（図示せず）を有利に提供する。PLLは、信号を恐らくは無線受信機により受信される基準信号と同期させるために、また、周波数合成器において望ましい周波数を発生させるために、携帯／セルラ電話機においてしばしば用いられる。無線通信装置の機能の多くは、従来のCMOSプロセスにより集積されうるので、VCOおよび／またはPLL回路とこれらの機能とのいっしょの集積は、本発明が高度の集積、従って小さい物理的寸法、を有する無線通信装置を提供することを可能にする。高度の集積はまた、製造コストをも減少させる。

【0028】

（複合）バラクタのもう2つの実施例を以下に提示し、本発明の電気デバイスが、本発明の範囲から逸脱することなく多くの方法により実現されうることを説明する。

【0029】

図7は、本発明の第5実施例による複合バラクタ70の平面図を示す。さらに、図8および図9は、それぞれ図7の軸線VIII-VIIIおよびIX-IXに沿っての断面図を示す。n形ウェル領域72は、p形基板71内に形成されている。p⁺形領域73、74は、2次元マトリックスをなす等間隔のアイランドを形成するように、ウェル領域72内に形成されている。絶縁層（図示せず）によりウェルおよび半導体基板から分離されているゲート76は、p⁺形領域73、74の間の領域に対応する領域に形成されている。必ずというわけではないが、好ましくは、ゲート76はまた、全てのp⁺形領域がゲートにより取り巻かれるように延長する。ゲート76は、複合バラクタ70の第1電極を形成する。全てのp⁺形領域73、74は、ポリシリコン77/78の第2層および接続素子77、78により共通に接続され、複合バラクタ70の第2電極を形成する。p⁺形領域73、74は、ソース領域73およびドレイン領域74を、それぞれのソース領域73に最も近い領域がドレイン領域74であり、またその逆も成立するように、形成している。

【0030】

第5実施例の複合バラクタ70の製造方法の例においては、n形ウェル領域72がまずp形半導体基板71内に形成される。ウェル領域の表面上に絶縁層（図示せず）が形成され、その上に第1ポリシリコン層が形成される。第1ポリシリコン層上には、第1マスク層（図示せず）が形成される。この第1マスク層は、露出しており、格子形状（図示せず）を探るようにエッチングされる。次に、第1ポリシリコン層をエッチングし、ゲート76を形成する。従って、ゲート76は、マスクの格子形状を探る。ゲート76は、複合バラクタの第1電極を形成する。マスクの残りが除去され、ゲート76をマスクとして用い、p⁺形ソース領域73およびp⁺形ドレイン領域74が、イオン注入により形成される。このプロセスにおいて、ゲート76の導電率は、ゲートのイオン注入により増大する。あるいは、前記マスクは、イオン注入中も保持される。好ましくは、ゲートの導電率は、ゲート76の金属をシリサイド化することにより増大せしめられる。この構造上に絶縁層（図示せず）が形成され、その上に第2マスク層（図示せず）が形成される。この第2マスク層は露出しており、ソース領域73およびドレイ

ン領域74のそれぞれの上に開口を有するマスク（図示せず）を形成するために、エッチングされる。次に、エッチングステップにより、それらの開口と一致する位置の絶縁材料が除去される。次に、第2マスクが除去され、その上に第2ポリシリコン層77/78が形成される。前のエッチングステップにより、第2ポリシリコン層は、ポリシリコン接続素子77および78のそれぞれにより、ソース領域73およびドレイン領域74のそれぞれに接続することに注意すべきである。それにより、第2ポリシリコン層77/78は、複合バラクタの第2電極を形成する。別の実施例においては、ポリシリコンは接続素子77、78を形成するために用いられ、接続素子77、78を共通に接続するためには、ポリシリコン層77/78の代わりに金属電極が用いられる。

【0031】

第5実施例のデバイスは、いくつかのMOSトランジスタから作られていると考えることができ、それぞれのMOSトランジスタは、ソース領域73と、ドレイン領域74と、ソース領域73とドレイン領域74との間に形成されたチャネル領域と、を有し、それらは複合バラクタを形成するように、第2ポリシリコン層により並列に結合されている。従って、MOSトランジスタのそれぞれの動作は、上述のMOSトランジスタを含むバラクタの動作に対応する。

【0032】

図10は、本発明の第6実施例による複合バラクタ80の平面図を示す。さらに、図11、図12、および図13は、図10の軸線X1-X1、X11-X11、およびX111-X111のそれぞれに沿っての断面図を示す。n形ウェル領域82は、p形基板81内に形成されている。櫛形状を有するp⁺形領域83、91、84、90は、ウェル領域82内に形成されている。絶縁層（図示せず）により基板81およびウェル領域82から分離されたゲート86は、櫛形p⁺形領域83、91、84、90の「フィンガ」間の領域に対応する領域に形成されている。ゲート86はまた、1つの共通ゲート86が形成されるように、「フィンガ」のエッジに沿っても延長する。ゲート86は複合バラクタ80の第1電極を形成し、p⁺形領域83、91、84、90は、複合バラクタ80の第2電極（図示せず）に接続されている。

【0033】

第6実施例の複合バラクタ80の製造方法の例においては、n形ウェル領域82がp形半導体基板81内に形成される。ウェル領域の表面上に絶縁層（図示せず）が形成され、その上にポリシリコン層が形成される。そのポリシリコン層上には、第1マスク層（図示せず）が形成される。この第1マスク層は、露出しており、櫛形状を有する第1マスク（図示せず）を形成するようにエッチングされる。次に、前記ポリシリコン層をエッチングし、ゲート86を形成する。従って、ゲート86は、マスクの櫛形状を探る。ゲート86は、複合バラクタの第1電極を形成する。マスクの残りが除去され、この構造上に第2マスク層（図示せず）が形成される。この第2マスク層は露出しており、櫛形ゲートの「フィンガ」と、それらの「フィンガ」を取り巻く領域とが、第2マスクにより被覆されないように開口を有する該第2マスク（図示せず）を形成するために、前記第2マスク層をエッチングする。その後、 p^+ 形ソース領域83と、組合わされた p^+ 形ソースおよびドレイン領域91と、ドレイン領域84と、これらの領域を接続する接続領域90とが、マスクとして第2マスクのみでなくゲート86をも用い、イオン注入により形成される。このプロセスにおいて、ゲート86の導電率は、ゲートのイオン注入により増大する。あるいは、第1マスクは、イオン注入中も保持される。好ましくは、ゲートの導電率は、ゲート86の金属をシリサイド化することにより増大せしめられる。イオン注入された領域83、91、84、および90は接続され、この接続は複合バラクタの第2電極を形成する。

【0034】

第6実施例のデバイスは、いくつかのMOSトランジスタから作られていると考えることができ、それぞれのMOSトランジスタは、ソース領域91（または83）と、ドレイン領域91（または84）と、ゲート86と、ソース領域とドレイン領域との間に形成されたチャネル領域と、を有し、それらは複合バラクタを形成するように、接続領域90により並列に結合されている。従って、MOSトランジスタのそれぞれの動作は、上述のMOSトランジスタを含むバラクタの動作に対応する。別の実施例（図示せず）においては、ゲート86が第2マスクの機能をも行い、従って、後続の諸ステップにおいてイオン注入されるべき領域

83、91、84、および90を定めるために第2マスクが不要であるように、ゲート86が（少なくとも製造中に一時的に）形成される。

【0035】

第5および第6実施例の複合バラクタ（70、80）は、並列に結合されたいくつかのバラクタを有するデバイスの例を示す。上述のように、それぞれのバラクタの高いQ係数は、小さい寸法のゲートおよびチャネル領域を用いることにより、またゲート（およびその接続）の抵抗をできるだけ小さく保つことにより、実現されうる。しかし、小さい寸法のゲートおよびチャネル領域は、時には、受け入れえない小さい数値のキャパシタンスを有するバラクタを与える。従って、適切なキャパシタンスの複合バラクタ、例えば、第5および第6実施例の複合バラクタ（70、80）は、適切な数のバラクタを並列に結合することにより実現される。それにより、高いQ係数および適切なキャパシタンスを有する複合バラクタが提供される。

【0036】

第5および第6実施例のデバイスを、それらの製造方法により説明したが、本発明の範囲から逸脱することなく、当業者により考えられうる他の製造方法を用いることもできる。さらに、互いに結合された任意の数のMOSトランジスタを有するデバイスを形成しうることは明らかである。

【0037】

本発明の利点は、製造ステップを追加することなく、従来のCMOSプロセスを用いることにより、高周波アプリケーションにおいてさえ、高い共振回路のキューチューチューQを有する、すなわち、低い直列抵抗を有するバラクタが実現されうることである。従って、バラクタは、高歩留りおよび低成本で製造されうる。

【0038】

さらに、本発明の利点は、従来のCMOSプロセスを用いて実現することができ、かつ設計にDC減結合キャパシタの追加を必要としない、VCOが提供されることである。これにより、PCB上におけるIC上にもICの外部にも、DC減結合キャパシタの必要がなくなるので、VCOは、経済的に、かつ物理的に小形に、具体化されうる。これらの利点は、小形であることが必要で、かつ大量生

産される、携帯電話機のようなハンドヘルド装置内に実現される時は、さらに顕著なものとなる。

【図面の簡単な説明】

【図1】

PMOSエンハンスマントランジスタを含む、本発明の第1実施例によるバラクタを示す図。

【図2】

NMOSエンハンスマントランジスタを含む、本発明の第2実施例によるバラクタを示す図。

【図3】

NMOSデプレショントランジスタを含む、本発明の第3実施例によるバラクタを示す図。

【図4】

本発明の第1実施例の動作の特徴を示す図。

【図5】

本発明の第1実施例の等価回路図を示す図。

【図6】

本発明の第4実施例による電圧制御発振器の回路図を示す図。

【図7】

本発明の第5実施例による複合バラクタの平面図を示す図。

【図8】

図7の軸線VIII-VIIIに沿っての断面図を示す。

【図9】

図7の軸線IX-IXに沿っての断面図を示す図。

【図10】

本発明の第6実施例による複合バラクタの平面図を示す図。

【図11】

図10の軸線XI-XIに沿っての断面図を示す図。

【図12】

図10の軸線XII-XIIに沿っての断面図を示す図。

【図13】

図10の軸線XIII-XIIIに沿っての断面図を示す図。

【図1】

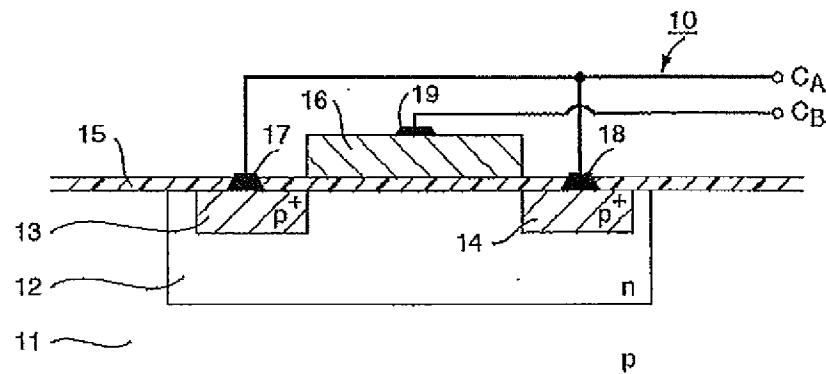


Fig. 1

【図2】

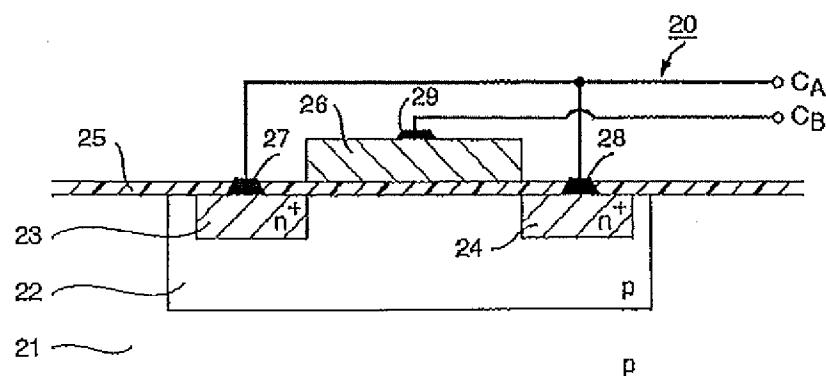


Fig. 2

【図3】

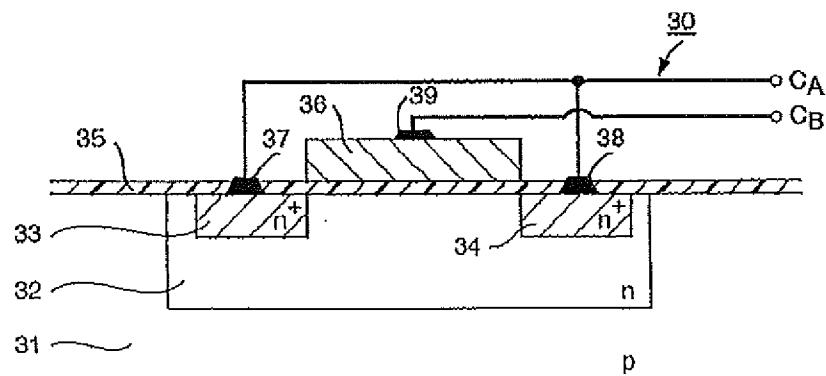


Fig. 3

【図4】

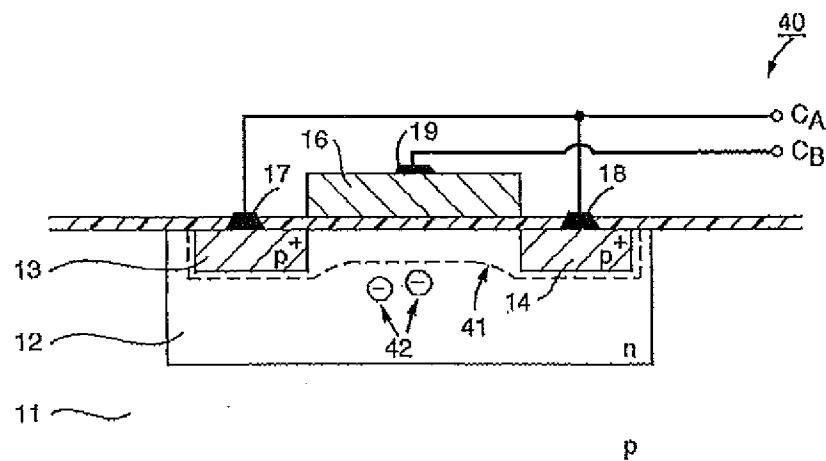


Fig. 4

【図5】

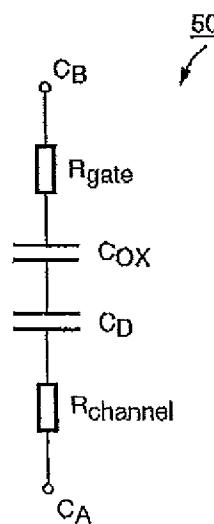


Fig. 5

【図6】

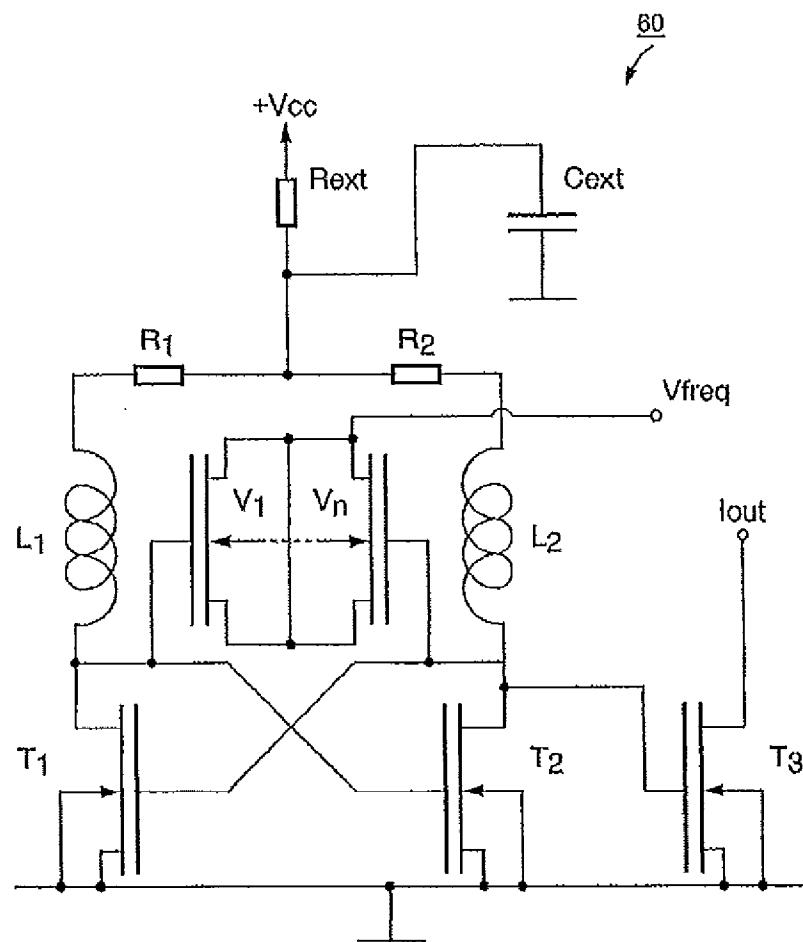


Fig. 6

【図7】

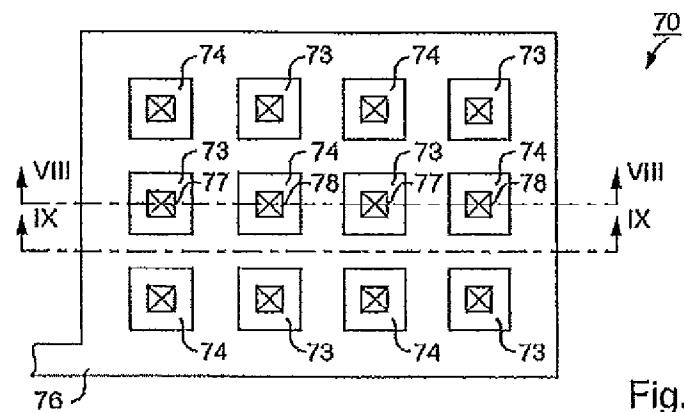


Fig. 7

【図8】

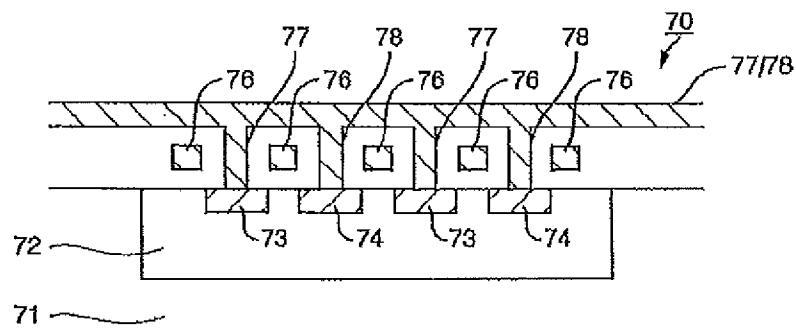


Fig. 8

【図9】

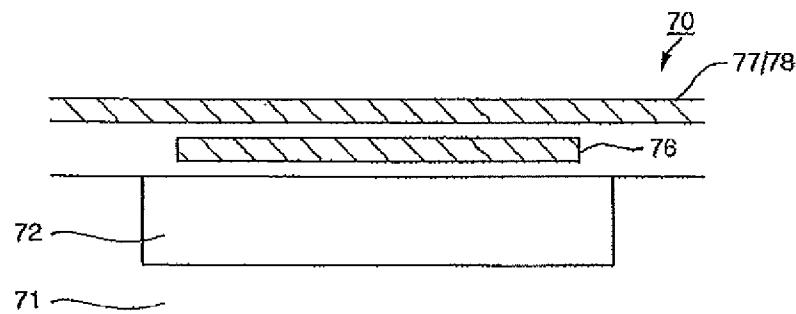


Fig. 9

【図10】

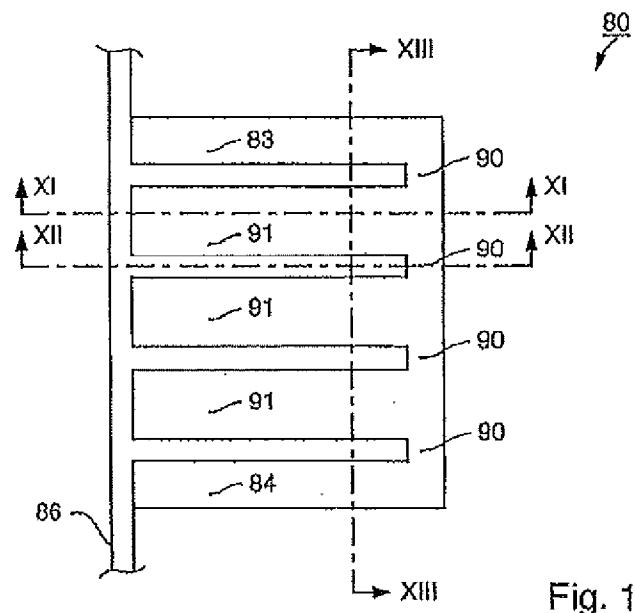


Fig. 10

【図11】

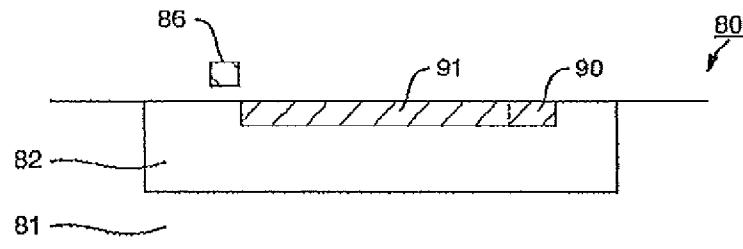


Fig. 11

【図12】

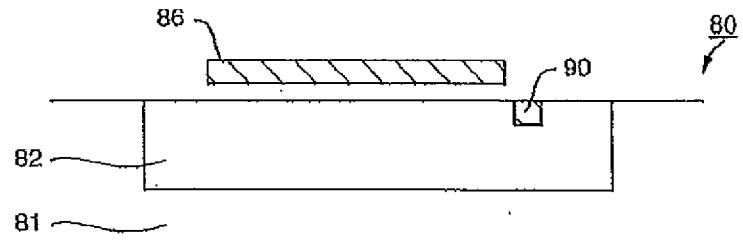


Fig. 12

【図13】

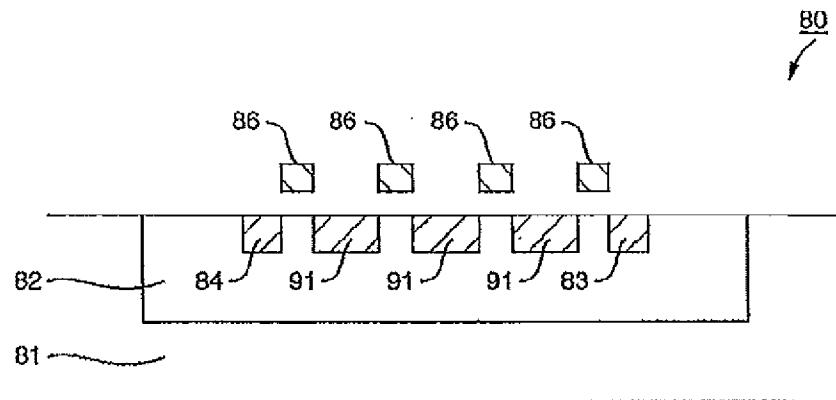


Fig. 13

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年2月8日(2000.2.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 電圧依存キャパシタンスを有する電気デバイス(10；20；30；40；V₁—V_n；70；80)において、

第1領域(12；22；32；72；82)の半導体材料と、

前記第1領域内に形成された第2領域(13；23；33；73；83；91)および第3領域(14；24；34；74；84；91)の半導体材料であって、前記第2領域および第3領域が分離領域により分離されている、前記第2領域および第3領域の半導体材料と、

前記第1領域の少なくとも前記分離領域に対応する領域上に形成された電気絶縁層(15；25；35)と、

前記絶縁層の少なくとも前記分離領域に対応する領域上に形成された実質的導電素子(16；26；36；76；86)であって、前記絶縁層が、前記実質的導電素子を、前記第1、第2、および第3領域から電気的に絶縁し、かつ、前記第2領域と、前記第3領域と、前記実質的導電素子とが、MISトランジスタのドレインと、ソースと、ゲートと、をそれぞれ構成する、前記実質的導電素子と

、

前記実質的導電素子に接続された第1電極(17；27；37)と、

前記第2領域および第3領域に接続された第2電極(18；28；38)と、
を含む、前記電気デバイス。

【請求項2】 前記ゲートの長さが2μmより小さい、請求項1に記載の電気デバイス。

【請求項3】 前記ゲートの長さが約1μmである、請求項2に記載の電気

デバイス。

【請求項4】 前記実質的導電素子がポリシリコンを含む、請求項1に記載の電気デバイス。

【請求項5】 前記実質的導電素子が金属シリサイドを含む、請求項1または請求項4に記載の電子デバイス。

【請求項6】 前記ゲートの幅が $5 \mu m$ より小さい、請求項1から請求項4までのいずれかに記載の電気デバイス。

【請求項7】 前記ゲートの幅が $20 \mu m$ より小さい、請求項1から請求項5までのいずれかに記載の電気デバイス。

【請求項8】 前記第1領域(12；22；32；72；82)の半導体材料が、半導体基板(11；21；31；71；81)内のウェル領域を構成し、第3電極が前記基板に接続されている、請求項1から請求項8までのいずれかに記載の電気デバイス。

【請求項9】 前記第3電極が前記第1電極または第2電極に接続されている、請求項8に記載の電子デバイス。

【請求項10】 ドレインがソースに接続されているMOSトランジスタを含む、電圧依存キャパシタンスを有する電気デバイス(10；20；30；70；80)。

【請求項11】 前記MOSトランジスタのバルクへの接続をさらに含む、請求項10に記載の電子デバイス。

【請求項12】 前記バルクが、ゲートに、または前記ドレインおよびソースに、接続されている、請求項11に記載の電子デバイス。

【請求項13】 並列に結合された複数の、請求項1から請求項12までのいずれかに記載の電気デバイスを含む、電圧依存キャパシタンスを有する電気デバイス(70；80)。

【請求項14】 入力電圧(V_{freq})の印加のための入力端子と、前記入力電圧に依存する周波数を有する振動信号(I_{out})の出力のための出力端子と、を有する電圧制御発振器(VCO)(60)であって、該VCOが、請求項1から請求項13までのいずれかに記載の、電圧依存キャパシタンスを有する電気デ

バイス ($V_1 - V_n$) を含む、前記電圧制御発振器。

【請求項15】入力電圧 (V_{freq}) の印加のための入力端子と、前記入力電圧に依存する周波数を有する振動信号 (I_{out}) の出力のための出力端子と、を有する電圧制御発振器 (VCO) (60) であって、該VCOが、ドレインをソースへ接続されたMISトランジスタを含む少なくとも1つのバラクタ ($V_1 - V_n$) を含む、前記電圧制御発振器。

【請求項16】前記VCOが、第1バラクタに結合した第1MISトランジスタおよび第1インダクタと、第2バラクタに結合した第2MISトランジスタおよび第1インダクタと、を含み、前記第1トランジスタのドレインが前記第2トランジスタのゲートに結合し、前記第2トランジスタのドレインが前記第1トランジスタのゲートに結合している、請求項15に記載の電圧制御発振器。

【請求項17】前記第1バラクタが第1グループのMISトランジスタを含み、該第1グループのMISトランジスタのドレインおよびソースが共通に接続され、かつ、前記第2バラクタが第2グループのMISトランジスタを含み、該第2グループのMISトランジスタのドレインおよびソースが共通に接続されている、請求項16に記載の電圧制御発振器。

【請求項18】前記第1グループのトランジスタのトランジスタゲートが共通に接続され、かつ、前記第2グループのトランジスタのトランジスタゲートが共通に接続されている、請求項17に記載の電圧制御発振器。

【請求項19】前記少なくとも1つのバラクタの前記MISトランジスタのドレインおよびソースが、前記VCOへの入力電圧の印加のための前記入力端子に結合している、請求項15から請求項18までのいずれかに記載の電圧制御発振器。

【請求項20】前記第1グループのトランジスタのゲートが、前記第1MISトランジスタのドレインに結合し、かつ、前記第2グループのトランジスタのゲートが、前記第2MISトランジスタのドレインに結合している、請求項18に従属する限りにおいて請求項18または請求項19のいずれかに記載の電圧制御発振器。

【請求項21】前記MISトランジスタがMOSトランジスタである、請

求項 15 から請求項 20 までのいずれかに記載の電圧制御発振器。

【請求項 22】 請求項 1 から請求項 13 までのいずれかに記載のバラクタを含む、位相同期ループ回路。

【請求項 23】 請求項 14 から請求項 21 までのいずれかに記載の電圧制御発振器を含む、位相同期ループ回路。

【請求項 24】 請求項 14 から請求項 21 までのいずれかに記載の電圧制御発振器を含む、無線通信装置。

【請求項 25】 請求項 22 から請求項 23 までのいずれかに記載の位相同期ループ回路を含む、無線通信装置。

【請求項 26】 電圧依存キャパシタンスを有する電気デバイスの製造方法であつて、

第 1 半導体領域を形成するステップと、

前記第 1 領域内に第 2 領域および第 3 領域の半導体材料を形成するステップであつて、前記第 2 領域および第 3 領域が分離領域により分離されている、前記ステップと、

前記第 1 領域の少なくとも前記分離領域に対応する領域上に電気絶縁層を形成するステップと、

前記絶縁層の少なくとも前記分離領域に対応する領域上に実質的導電素子を形成するステップであつて、前記絶縁層が、前記実質的導電素子を、前記第 1 、第 2 、および第 3 領域から電気的に絶縁し、かつ、前記第 2 領域と、前記第 3 領域と、前記実質的導電素子とが、MIS トランジスタのドレインと、ソースと、ゲートと、をそれぞれ構成するようにする前記ステップと、

前記実質的導電素子に電気的に接続された第 1 電極を形成するステップと、

前記第 2 領域および第 3 領域に電気的に接続された第 2 電極を形成するステップと、

を含む、前記電気デバイスの製造方法。

【請求項 27】 少なくとも前記分離領域に対応する領域において、IC 製造プロセスの、後の MIS トランジスタのスレショルドインプランテーションステップを阻止するための、阻止層を形成するステップ、

をさらに含む、請求項26に記載の電気デバイスの製造方法。

【請求項28】 前記IC製造プロセスがCMOSプロセスである、請求項27に記載の電気デバイスの製造方法。

【国際調査報告】

1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE 98/01554

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: H01L 29/93, H01L 29/93, H03B 5/24, H03L 7/099, H03B 5/12 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H01L, H03B, H03L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE, DK, FI, NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, EPOC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2138206 A (CLARION CO. LTD), 17 October 1984 (17.10.84), figures 2-4,8, abstract	1-16,22-29
Y	---	17-21
A	JP 9093124 A (ANDO ELECTRIC CO. LTD), 4 April 1997 (04.04.97), abstract	14-16,23-26
A	FR 2679702 A1 (THOMSON-CSF), 29 January 1993 (29.01.93)	15,16
A	US 4450416 A (GREGORY N MEARS), 22 May 1984 (22.05.84), figure 1, abstract	14-16

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *B* earlier document but published on or after the international filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *Q* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed
- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance. The claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *D* document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 April 1999	21-04-1999
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Fax/tele No. +46 8 666 02 86	Authorized officer Patrik Rydman Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE 98/01554

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ⁴	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4529995 A (TAKAMASA SAKAI ET AL), 16 July 1985 (16.07.85), figure 2, abstract --	1-16,27
Y	EP 0657993 A1 (AT & T CORP.), 14 June 1995 (14.06.95), column 2, line 31 - column 4, line 18, figure 1, abstract --	17-21
Y	EP 0720185 A1 (AT & T CORP.), 3 July 1996 (03.07.96), figure 2a, abstract --	17-21
A	US 5486796 A (NOBUYUKI ISHIKAWA ET AL), 23 January 1996 (23.01.96) --	17-21
A	US 4360790 A (RUDOLF HEISE), 23 November 1982 (23.11.82) --	17-21
A	US 5218925 A (ERIC TRELEWICZ ET AL), 8 June 1993 (08.06.93) --	17-21
A	US 4247826 A (TAKESHI GAPPA ET AL), 27 January 1981 (27.01.81) -----	17-21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE98/01554

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See next page.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/SE98/01554

1st invention: claims 1-14 and 23-29.

2nd invention: claims 15-22.

The 1st invention relates varactor comprising a MOS-transtistor.

The 2nd invention relates to a VCO comprising more than one varactor connected to each other forming a circuit.

The 2nd invention comprises the varactor of the 1st invention. However, since the varactor of the first invention is considered not to involve an inventive step, the 2nd invention only relates to a specific circuit to produce an VCO.

Thus, the two inventions are not considered to have the same or corresponding special technical feature. Therefore, the application contains two independent inventions and lacks in unity.

INTERNATIONAL SEARCH REPORT

Information on patent family members			International application No.	
Patent document cited in search report		Publication date	Patent family member(s)	
GB 2138206 A		17/10/84	DE 3406437 A	23/08/84
			FR 2541514 A,B	24/08/84
			JP 59154077 A	03/09/84
JP 9093124 A	04/04/97		NONE	
FR 2679702 A1	29/01/93		NONE	
US 4450416 A	22/05/84		NONE	
US 4529995 A	16/07/85		DE 3226673 A	17/02/83
			FR 2509907 A,B	21/01/83
			GB 2104725 A,B	09/03/83
			JP 1482095 C	27/02/89
			JP 58025278 A	15/02/83
			NL 8202890 A	16/02/83
			JP 1482096 C	27/02/89
			JP 58014580 A	27/01/83
EP 0657993 A1	14/06/95		CA 2118545 A,C	14/06/95
			JP 7202565 A	04/08/95
			US 5396195 A	07/03/95
EP 0720105 A1	09/07/96		CA 2164995 A	01/07/96
			JP 8256015 A	01/10/96
			US 5483207 A	09/01/96
US 5486796 A	23/01/96		EP 0660504 A	28/06/95
			JP 7176952 A	14/07/95
US 4360790 A	23/11/82		AT 3232 T	15/05/83
			DE 2915134 A,C	16/10/80
			DK 153264 B,C	27/06/88
			DK 156680 A	13/10/80
			EP 0017899 A,B	29/10/80
			IE 49444 B	02/10/85
			JP 1488725 C	23/03/89
			JP 55140303 A	01/11/80
			JP 63034642 B	12/07/88
US 5218325 A	08/06/93		NONE	
US 4247826 A	27/01/81		DE 2820982 A	07/12/78
			JP 1388459 C	14/07/87
			JP 53139959 A	06/12/78
			JP 61053860 B	19/11/86

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE), OA(BF, BJ,
, CF, CG, CI, CM, GA, GN, GW, ML,
MR, NE, SN, TD, TG), AP(GH, GM, KE,
LS, MW, SD, SZ, UG, ZW), EA(AM
, AZ, BY, KG, KZ, MD, RU, TJ, TM)
, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BY, CA, CH, CN, CU, CZ, DE, DK,
EE, ES, FI, GB, GE, GH, GM, HR,
, HU, ID, IL, IS, JP, KE, KG, KP,
KR, KZ, LC, LK, LR, LS, LT, LU, LV,
MD, MG, MK, MN, MW, MX, NO, NZ,
, PL, PT, RO, RU, SD, SE, SG, SI,
SK, SL, TJ, TM, TR, TT, UA, UG, UZ,
VN, YU, ZW

Fターム(参考) 5J081 AA02 BB01 BB10 CC22 CC30
CC42 CC43 DD11 EE02 EE03
FF18 GG05 KK02 KK13 KK22
LL01 LL09 MM01 MM07